

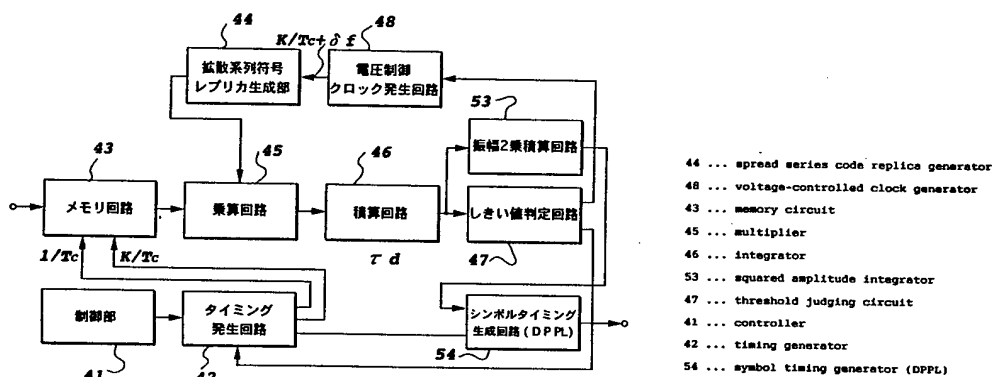


特許協力条約に基づいて公開された国際出願

(51) 国際特許分類 (6) H04B 1/707		A1	(11) 国際公開番号 WO 95/07577
			(43) 国際公開日 1995年3月16日 (16.03.95)
(21) 国際出願番号 (22) 国際出願日 (30) 優先権データ 特願平5/221104 1993年9月6日 (06. 09. 93)		PCT/JP94/01461 1994年9月5日 (05. 09. 94) JP	
(71) 出願人 (米国を除くすべての指定国について) エヌ・ティ・ティ 移動通信網株式会社 (NTT MOBILE COMMUNICATIONS NETWORK INC.) [JP/JP] 〒105 東京都港区虎ノ門二丁目10番1号 Tokyo, (JP)			
(72) 発明者: および (75) 発明者/出願人 (米国についてのみ) 佐和橋 衛 (SAWAHASHI, Mamoru) [JP/JP] 〒239 神奈川県横浜須賀市浦賀町5-42-188 Kanagawa, (JP) 安達文幸 (ADACHI, Fumiyuki) [JP/JP] 〒236 神奈川県横浜市金沢区高舟台2-35-13 Kanagawa, (JP)			
(74) 代理人 弁理士 谷 義一 (TANI, Yoshikazu) 〒107 東京都港区赤坂5-1-31 第6セイコービル3階 Tokyo, (JP)			
(81) 指定国 CA, CN, JP, KR, US, 欧州特許 (DE, FR, GB, IT, SE) .			
添付公開書類		国際調査報告書	

(54) Title : SLIDING CORRELATION DETECTOR

(54) 発明の名称 スライディング相関検出器



(57) Abstract

A sliding correlation detector which can be used for the receiver of a radio device used for mobile communication adopting a CDMA method using spectrum spread, establishes initial synchronization so as to return signals to narrow-band signals by performing reverse spectrum spread, and, especially, can establish high-speed synchronization. Received spread series signals are stored in a memory circuit (43). The stored received signals are read from the circuit (43) at a sufficiently high speed as compared with the storing speed. A multiplier (45) multiplies the replica of the spread series codes by the received signals read out from the circuit (43), and an integrator (46) integrates the output signal of the multiplier (45) for a prescribed period of time. A threshold judging circuit (47) judges whether or not the output signal of the integrator (46) exceeds a threshold. When it is judged that the output signal of the integrator (46) does not exceed the threshold, the phase of the replica of the spread series codes is changed and judgement is made again. Since the received signals are read out from the memory (43) at a high speed and correlated, initial synchronization can be established quickly.

(57) 要約

この発明は、移動通信において、スペクトル拡散を用いるCDMA方式における無戦機受信部に用いられ、スペクトル逆拡散して狭帯域信号に戻すために、初期同期を確立するスライディング相関検出器に関するものであり、特に、高速同期が可能なスライディング相関検出器を提供することを目的とする。

本発明においては、メモリ回路(43)に受信信号した拡散系列符号を蓄積する。受信信号の蓄積速度に比較して十分高速の周波数で、メモリ回路(43)に記憶した受信信号を読み出す。拡散系列符号のレプリカと、読み出された受信信号とを、乗算回路(45)で乗算し、乗算回路(45)の出力信号を所定時間にわたって積算回路(46)で積算する。積算回路(46)の出力信号が所定のしきい値を越えたか否かをしきい値判定回路(47)で判定する。しきい値判定回路(47)の判定出力がしきい値以下の場合、拡散系列符号レプリカの位相を変化させ、再度判定動作を繰り返す。以上のように、メモリ回路(43)から、高速に読み出して相関をとっているため、速く初期同期を確立することができる。

情報としての用途のみ

PCTに基づいて公開される国際出願をパンフレット第一頁にPCT加盟国を同定するために使用されるコード

AM	アルメニア	DK	デンマーク	LI	リヒテンシュタイン	PT	ポルトガル
AT	オーストリア	EE	エストニア	LK	スリランカ	RO	ルーマニア
AU	オーストラリア	ES	スペイン	LR	リベリア	RU	ロシア連邦
BB	バルバドス	FI	フィンランド	LT	リトアニア	SD	スーダン
BE	ベルギー	FR	フランス	LU	ルクセンブルグ	SE	スウェーデン
BF	ブルキナ・ファソ	GA	ガボン	LV	ラトヴィア	SI	スロヴェニア
BG	ブルガリア	GB	イギリス	MC	モナコ	SK	スロヴァキア共和国
BJ	ベナン	GE	グルジア	MD	モルドバ	SN	セネガル
BR	ブラジル	GN	ギニア	MG	マダガスカル	SZ	スワジランド
BY	ベラルーシ	GR	ギリシャ	ML	マリ	TD	チャド
CA	カナダ	HU	ハンガリー	MN	モンゴル	TG	トーゴ
CF	中央アフリカ共和国	IE	アイルランド	MR	モーリタニア	TJ	タジキスタン
CG	コンゴ	IT	イタリア	MW	マラウイ	TT	トリニダード・トバゴ
CH	スイス	JP	日本	MX	メキシコ	UA	ウクライナ
CI	コート・ジボアール	KE	ケニア	NE	ニジェール	UG	ウガンダ
CM	カメルーン	KG	キルギスタン	NL	オランダ	US	米国
CN	中国	KP	朝鮮民主主義人民共和国	NO	ノルウェー	UZ	ウズベキスタン共和国
CZ	チェコ共和国	KR	大韓民国	NZ	ニュージーランド	VN	ヴェトナム
DE	ドイツ	KZ	カザフスタン	PL	ポーランド		

明 細 書

スライディング相関検出器

技 術 分 野

この発明は、例えば移動通信においてスペクトル拡散を用いてマルチプルアクセスを行うCDMA方式における無戦機受信部に用いられ、スペクトル逆拡散して狭帯域信号に戻すために、初期同期を確立するスライディング相関検出器に関するものである。

背 景 技 術

CDMA伝送には従来の変調信号を高速レートの拡散符号で拡散する直接拡散(DS)方式と、周波数ホッピング(FH)方式に分類できる。FH方式では1シンボルをチップと呼ばれる単位に分解してチップ毎に異なる中心周波数の信号に高速に切り替える必要があり、装置の実現性が困難であるため、通常はDS方式が用いられる。スペクトル拡散(SS)の無線機では、SCPC(Single Channel Per Carrier)/FDMA(Frequency Division Multiple Access)、あるいはTDMA(Time Division Multiple Access)の無線機に比較して送信側では通常の変調の後に拡散系列符号で2次変調を行い、信号帯域を拡散して伝送する。受信側ではまず広帯域の受信入力信号を逆拡散という過程で元の狭帯域の信号に戻してから従来の復調処理を行う。この受信側の逆拡散という過程において、受信信号の拡散系列符号と受信機側で発生する拡散系列符号のレプリカとの間で同期をとる必要がある。

この受信信号の拡散系列符号と受信機側の拡散系列符号のレプリカとの同期

のプロセスは、初期同期 (Acquisition) という過程と同期保持 (Tracking) と言う過程に分類できる。拡散系列符号は ± 1 チップの範囲でしか自己相関が得られないため、まず初期同期の過程で受信した拡散系列符号と参照する拡散系列符号のレプリカの位相差が ± 1 チップより十分小さい範囲に入るように捕捉し、次のトラッキングの処理では相互の符号をこの範囲に保持する。この発明は特に初期同期に係わるものである。以下従来の初期同期方法について説明する。

拡散系列符号における初期同期は大きく分類すると、コヒーレント、ノンコヒーレントに分けられる。コヒーレント同期では、受信信号の搬送波の位相がわかっているなければならない。通常、搬送波は送受の信号間で同期していないため、逆拡散の前に搬送波の位相を求めることは困難である。このため、従来は、受信機側の拡散系列符号のレプリカで逆変調し、帯域制限後振幅2乗検波器で検波して、しきい値判定を行うノンコヒーレントな方法が多く用いられてきた。

一般的な拡散系列符号のノンコヒーレントによる初期同期は、受信信号の拡散系列符号と受信機側の拡散系列符号のレプリカとを乗算し、2つの信号の相関をとる。この相関出力を検波し、検波出力がしきい値を越えるか否かで同期が確立したか否かを判定する。同期が確立していない場合は、受信機側の拡散系列符号のレプリカの位相を変えて、再度同期がとれたかを判定する。これを同期がとれるまで行う。これをスライディング相関という。

スライディング相関による初期同期は、相関信号を積分する時間 τ_d (この時間を dwell time という) が固定であるか、可変であるかに分類できる。また、固定積分時間の方法もさらにシングルデュエル (single dwell) タイプとマルチプルデュエル (multiple dwell) タイプに分けられる。これらは検波器の出力信号の判定が1回の積分時間で行われるか、あるいは複数に時間積分の判定で行われるかに対応する。初期同期検出の精度を高

めるためにはこのデュエル時間を長くとる必要がある。

まずシングルデュエルタイプのスライディング相関による初期同期について説明する。

第1図に従来のスライディング相関によるシングルデュエル同期システムのブロック構成を示す。非同期検波の場合、逆拡散の過程では搬送波信号の位相は未知である。入力端子11からの雑音成分を含んだ受信信号は、拡散系列符号レプリカ生成部12からの拡散系列符号のレプリカと、乗算回路13で乗算され相関がとられる。乗算回路13の出力は、帯域通過フィルタ14を通過後、振幅2乗検波器15で振幅検波される。この検波出力は積分ーダンプ回路16でデュエル時間 τ_d だけ積分される。この積分出力はしきい値判定回路17でしきい値判定され、しきい値以下の場合は、電圧制御クロック発生器18が制御され、そのクロックで動作するレプリカ生成部12の動作速度が制御される。

スライディング相関によるシングルデュエル同期システムの低域通過型等価表現のブロック構成を第2図に示す。受信入力信号は直交検波器21でI、Qチャネルの信号に直交検波される。これらI、Qチャネル信号は低域通過フィルタ22、23を通じ、A/D変換回路24、25でそれぞれデジタル信号に変換される。この直交検波出力は、拡散系列符号で直接変調されているがこの拡散系列符号の位相は未知である。直交検波出力は、乗算器13I、13Qへ供給され、拡散系列符号レプリカ生成部12のレプリカと乗算される。逆拡散を受けたI、Qチャネル信号はそれぞれ低域通過フィルタ26、27を通じて通過された後、振幅2乗検波器15I、15Qで振幅2乗検波される。これら振幅検波された信号は加算回路28で振幅合成されて積分ーダンプ回路16で積分され、しきい値判定回路17でしきい値と比較される。

マルチプルデュエル同期システムのブロック構成を第3図に示す。入力端子11からの受信信号は、拡散系列符号レプリカ生成部12からの拡散系列符号

のレプリカと乗算器 13 で乗算される。乗算器 13 の出力は振幅 2 乗検波器 15 で振幅検波される。そして、N 個の積分－ダンブ回路 16₁～16_Nにする。これらの積分－ダンブ回路 16₁～16_Nのデュエル時間を $\tau_{d1} \sim \tau_{dN}$ とすると、この N 個の積分－ダンブ回路 16₁～16_Nのデュエル時間の関係は

$$\tau_{d1} \leq \tau_{d2} \leq \tau_{d3} \leq \dots \leq \tau_{dN}$$

である。そして、その各出力信号 Z_i がしきい値を越える確率は、 Z_k ($k: 1, i-1$) がそれぞれのしきい値を越える確率に依存する。したがって、同期判定部 32 において、($i-1$) 以前の積分－ダンブ回路 16₁から 16 _{$i-1$} の出力信号レベルが全てしきい値を越えた場合にのみ、 i 番目の積分－ダンブ回路 16 _{i} の出力信号はしきい値と比較される。途中の積分－ダンブ回路 16 _{k} の出力信号がしきい値以下の場合には、拡散系列符号のレプリカの位相を更新し、全ての積分－ダンブ回路 16 をリセットし、次のサーチ過程に進む。

同期識別のためのサーチを終了するためには、最初の積分ダンブ回路 16₁から順番に検査を行って、N 個目の積分ダンブ回路 16_Nの出力の検査まで完了する必要がある。

まとめると、同期判定部 32 は、次のアルゴリズムに従って同期判定を行っている。

- (1) N 個の積分－ダンブ回路 16₁～16_Nの出力信号 $Z_1 \sim Z_N$ がしきい値を越えて同期状態と判定した場合には、同期したものとしサーチを終了する。
- (2) ある検波器出力 Z_i がしきい値判定に失敗し、現在の位相状態が正しくないと判定したならばサーチを継続し、拡散系列符号レプリカ生成部 12 から出力される拡散系列符号のレプリカの位相を定められた分遅延させる。

第 3 図の構成のマルチプルデュエル同期システムにおいては、ある位相の拡散系列符号に対して、同期がとれているかを判定するための最大時間は τ_{dN} であり、最小時間は τ_{d1} である。したがって、デュエル時間 τ_{dk} ($k < N$) の検査時

点で、拡散系列符号のレプリカのほとんどの位相に対して同期判定を行うことができる。一方シングルデュエル同期システムでは全てのセルにおける検査時間は τ_{dN} に等しい。従ってマルチプルデュエル同期システムでは、シングルデュエルに比較して初期同期時間を短縮できる。

なお、マルチプルデュエル同期システムにおいて、それぞれの積分ーダンプ回路 $16_1 \sim 16_N$ の積分時間はオーバーラップしている。このため、実際の構成では、 N 個の積分ーダンプ回路 $16_1 \sim 16_N$ は並列に構成される必要はなく、1つの積分回路で構成することもできる。1つの積分回路から、 $t = \tau_{d1}, \tau_{d2}, \dots, \tau_{dN}$ の各時点で中間値が出力され、出力された積分値は、順次しきい値比較が行われる。この積分回路は、同期がとれていないと判定され、次の位相の拡散系列符号のサーチに進むことを決定した場合にリセットされる。

スライディング相関器は、時間積分により受信信号の拡散系列符号と受信側で生成する拡散系列符号のレプリカとの相関を得るため、回路規模としては十分小さい回路規模で構成でき、LSI化に適した回路構成ができる。しかし、スライディング相関器では、前述の通り時間積分する必要がある、初期同期が確立するまでには時間がかかる。

この発明では高速同期が可能なスライディング相関検出器を提供することを目的とする。

発 明 の 開 示

本発明は、受信信号を蓄積するメモリ回路と、受信信号の蓄積速度に比較して十分高速の周波数で前記メモリ回路に記憶した受信信号を読みだすクロック信号を発生するタイミング生成回路と、拡散系列符号のレプリカを発生する拡散系列符号レプリカ生成部と、読み出された受信信号と前記拡散系列符号レプリカとの乗算を行う乗算回路と、乗算回路の出力信号を所定時間にわたって積算する積

算回路と、積算回路の出力信号が所定のしきい値を越えたか否かを判定するしきい値判定回路と、拡散系列符号レプリカ生成部を制御して前記クロック信号と同一速度で拡散系列符号を発生させるとともに、しきい値判定回路の判定出力がしきい値以下の場合、拡散系列符号レプリカの位相を変化させるクロック発生回路とを具備するスライディング相関検出器である。

また、別の発明は、受信信号を蓄積するメモリ回路と、受信信号の蓄積速度に比較して十分高速の周波数で前記メモリ回路に記憶した受信信号を読み出すクロック信号を発生するタイミング生成回路と、複数の異なる位相の拡散系列符号のレプリカを発生する拡散系列符号レプリカ生成部と、読み出された受信信号と複数の拡散系列符号レプリカと、それぞれ乗算を行う複数の乗算回路と、複数の乗算回路の出力信号を所定時間にわたってそれぞれ積算する複数の積算回路と、複数の積算回路の出力信号がそれぞれ所定のしきい値を越えたか否かを判定するしきい値判定回路と、拡散系列符号レプリカ生成部を制御して前記クロック信号と同一速度で拡散系列符号を発生させるとともに、前記複数の積算回路の出力信号がすべてしきい値以下の場合、しきい値判定回路の出力により、拡散系列符号レプリカの位相を変化させるクロック発生回路とを具備するスライディング相関検出器である。

この発明のスライディング相関検出器は、例えば移動通信においてスペクトル拡散を用いてマルチプルアクセスを行うCDMA方式における受信部に用いられ、スペクトル逆拡散して狭帯域信号に戻すために、速く初期同期を確立することができる。

図面の簡単な説明

第1図は、従来のシングルデュエル同期システムのブロック図である。

第2図は、従来の直交検波型スライディング相関器のブロック図である。

第3図は、従来のマルチプルデュエル同期システムを示すブロック図である。

第4図はこの発明のスライディング相関器の実施例を示すブロック図である。

第5図は、第4図のスライディング相関器の動作を説明する図である。

第6図はこの発明のスライディング相関器の他の実施例を示すブロック図である。

第7図は、第6図のスライディング相関器の動作を説明する図である。

発明を実施するための最良の形態

図面を参照して、本発明の実施例を説明する。

第4図は、この発明のスライディング相関検出器の基本的な実施例のブロック図である。第4図において、43はメモリ回路であり、A/D変換された受信信号をデュエル時間 $\tau_d + \alpha$ 分記憶している。42はタイミング回路で、制御部41により制御されており、メモリ回路43に書き込みタイミング信号と読み出しタイミング信号を発生する。読み出しタイミング信号は、書き込みタイミング信号よりK倍速い信号を用いている。45は乗算回路でメモリ回路から読み出された受信信号と拡散系列符号レプリカ生成部44からの拡散系列符号のレプリカとを乗算する。46は積算回路で、受信信号と拡散系列符号のレプリカとを乗算したものをデュエル時間 τ_d 積算する。47はしきい値判定回路で、デュエル時間 τ_d 積算された受信信号と拡散系列符号のレプリカとを乗算したもので、初期同期がとれているかを判定する。48は電圧制御クロック発生回路で、しきい値判定回路47からの出力を受けて拡散系列符号レプリカ生成部44へ供給するクロックを発生する。しきい値判定回路47の出力はタイミング発生回路42へも入力され、メモリ回路の読み出しタイミング信号を制御している。53は振幅2乗積算回路で、初期同期がとれた後に、受信信号と拡散系列符号のレプリカとを乗算したものを1シンボル分積算する。54はシンボルタイミング生成回路で、DPL

L (Digital Phase-locked Loop) で構成されており、振幅 2 乗積算回路 5 3 からの出力とタイミング発生回路からの出力でシンボルタイミングを生成している。

第 5 図は、第 4 図の構成の実施例の初期同期の動作を説明する図であり、第 4 図、第 5 図を用いてこの実施例の初期同期のためのスライディング相関の動作を説明する。

さて、説明するに際し、以下のことを前提とする。デュエル時間 τ_d は一般的に 1 シンボル周期と同じとする場合が多いので、この実施例においてもデュエル時間を 1 シンボル時間としている。また、メモリ回路に 4 3 には、1 シンボル + α 分の受信信号が格納することのできる容量がある。また、タイミング発生回路 4 2 からの書き込みタイミング信号、読み出しタイミング信号の周波数をそれぞれ $1/TC$, K/TC (TC : 1 チップ周期) とする。このため、 $M=1$ シンボル周期/ TC 個の相関値 (乗算値) の積算が行われる。この前提は、任意に変更できる。

制御部 4 1 からの起動により、タイミング発生回路 4 2 から書き込みタイミング信号が出力され、A/D 変換された受信信号がメモリ回路 4 3 に格納される (第 5 図 (A) 参照)。受信信号がデュエル時間 τ_d 分 (この場合 1 シンボル分) 格納されると、書き込みタイミング信号の K 倍の周波数の読み出しタイミング信号がタイミング発生回路 4 2 から出力される。この読み出しタイミング信号により、受信信号がメモリ回路 4 3 から K 倍の速さで読み出される (第 5 図 (B) 参照)。拡散系列符号レプリカ生成部 4 4 から読み出しタイミング信号と同じ周波数で生成される拡散系列符号のレプリカ (第 5 図 (C) 参照) と、読み出された受信信号とを乗算回路 4 5 で乗算して、積算回路 4 6 でデュエル時間 τ_d (この場合は 1 シンボル時間) 積算する。積算回路 4 6 の出力はしきい値判定回路 4 7 に入力され、初期同期がとれたかを判定される。

初期同期がとれていないときは、しきい値判定回路 4 7 の出力により、電圧

制御クロック回路 4 8 で拡散系列符号レプリカ生成部 4 4 からの拡散系列符号のレプリカの位相を 1 チップ分ずらせて発生させる。また、しきい値判定回路 4 7 の出力によりタイミング発生回路 4 2 からの読み出しタイミング信号が出力されて同じ受信信号が再度読み出される。そして、乗算、積算が行われ、しきい値判定回路 4 7 へ入力される。そして、初期同期がとれているとしきい値判定回路 4 7 が判定するまで、上記の動作が繰り返される。

しきい値判定回路 4 7 が初期同期がとれていると判定したときは、その出力がタイミング発生回路 4 2, 電圧制御クロック発生回路 4 8 へ送られ、初期同期のためのスライディング動作を停止する。以後は、タイミング発生回路 4 2, 電圧制御クロック発生回路 4 8 からは、K 倍ではなく、チップ周期のタイミング信号等が出力される。

このように、相関検出動作をチップの周波数の K 倍で行うため、従来のスライディング相関に比較して、初期同期確立時間が $1/K$ になり、高速同期が可能になる。

同期された受信信号のシンボルのタイミング信号は、振幅 2 乗積算回路 5 3 で振幅 2 乗され、1 シンボル分積算されて、その出力がシンボルタイミング生成回路 5 4 へ供給され、シンボルタイミングが形成される。

メモリ回路の容量は、繰返し読み出されるデュエル時間 τ_d 分の受信信号（上記の場合は 1 シンボル分の受信信号）と、初期同期確立までの最悪ケース分の受信信号が記憶できるだけの容量があればよい。

CDMA 方式の移動通信に適用するためには、高速同期確立が必要である。特に通信に入る前の制御チャネル確立では、基地局は移動局からの上り制御チャネルを 1 発目で受信する必要がある。このとき、おおよその基地局における制御チャネルを受信するタイミングは、基地局から移動局への制御チャネル信号送信タイミングから推定できる。このタイミングでメモリ回路 4 3 への蓄積を開始

するように、制御部 4 1 はタイミング発生回路 4 2 を制御する。

第 4 図のスライディング相関検出器は、シングルデュエルタイプであるが、この発明は、マルチプルデュエルタイプにも適用できる。この場合は、第 4 図において、積算回路 4 6 を複数設け、それぞれが異なるデュエル時間積算するようにし、複数の積算回路から並列にしきい値判定回路に入力してそれぞれ判定されるように構成すればよい。また、積算回路 4 6 から中間値を発生させ、それを判定する様にしてもよい。なお、A/D 変換、メモリへの読み込みを 1 チップ周期で説明したが、もっと速い周期で行うことも当然できる。

また、第 4 図のスライディング相関検出器において、乗算回路 4 5，積算回路 4 6 を複数の回路で構成し、並列演算をすることにより、もっと高速に初期同期を確立することができる。この例を第 6 図に示す。

第 6 図において、1 1 は入力端子、2 1 は直交検波回路、2 2，2 3 はローパスフィルタ、2 4，2 5 は A/D 変換回路である。4 3 はメモリ回路、5 6 は N 個の複素乗算回路、5 7 は N 個の積算回路で、並列演算ができる。5 8 はしきい値判定回路で、複数の積算回路からの積算値のしきい値を並列に判定する。5 1 は振幅 2 乗検波回路、5 2 はループフィルタ、4 8 は電圧制御クロック発生回路であり、これらの構成でトラッキング（追従）動作を行う。電圧制御クロック発生回路 4 8 は初期同期確立のためにも用いられている。5 5 は拡散系列符号レプリカ生成部で、並列に複数の位相の拡散符号系列符号のレプリカを生成できる。制御部 4 1、タイミング発生回路 4 2，振幅 2 乗積算回路 5 3，シンボルタイミング生成回路 5 4 は、第 6 図に示した実施例と同様のものである。

この第 6 図に示された並列動作のスライディング相関器の初期同期確立の動作を、第 7 図を用いて説明する。この場合の前提も第 4 図、第 5 図とおなじとする。

入力端子 1 1 からの受信信号は、直交検波回路 2 1 で直交検波されベースバ

ンドの信号となった後、ローパスフィルタ 2 2, 2 3 を介して、A/D 変換回路 2 4, 2 5 でデジタル信号に変換されて、メモリ回路 4 3 に入力する（第 7 図（A）参照）。メモリ回路 4 3 は、第 7 図に示したメモリ回路と同様に、制御部 4 1 で制御されるタイミング発生回路 4 2 からの書き込みタイミング信号、読み出しタイミング信号により書き込み、読み出しが行われる。読み出しタイミング信号は書き込みタイミング信号（この例ではチップ周期 TC）より、K 倍速い信号が用いられている。メモリ回路 4 3 から、N 個の複素乗算回路 5 6 に同じ受信信号が入力される。拡散系列符号レプリカ生成部 5 5 から、同じ拡散系列符号の位相の異なる符号が、それぞれの乗算回路 5 6 に入力される。それぞれの乗算回路 5 6 の出力は、それぞれの積算回路 5 6 でデュエル時間 τ_d 積算され、しきい値判定回路 4 7 でそれぞれ積算された信号が同期しているか判定する。拡散系列符号レプリカ生成部 5 5 の出力、複素乗算回路 5 6, 積算回路 5 7, そしてしきい値判定回路の入力は並列で、N 個のパスを構成している。

さて、メモリ回路 4 3 からは、チップ周期の K 倍の読み出しタイミング信号で読み出された同一の受信信号が、それぞれ複素乗算回路 5 6 に並列に入力される（第 7 図（B）参照）。また、N 個の複素乗算回路 5 6 には、それぞれ、拡散系列符号レプリカ生成部 5 5 から、読み出しタイミング信号と同じ周波数で生成される同一の拡散符号系列のレプリカの異なる位相の符号が入力されている。たとえば第 1 の複素乗算回路には、位相がずれていない拡散符号系列のレプリカが拡散符号系列レプリカ生成部 5 5 から生成されて入力されている（第 7 図（C-1）参照）。第 2 の複素乗算回路には、 M/N チップ位相がずれた拡散符号系列のレプリカが入力されている（第 7 図（C-2）参照）。そして、第 N の複素乗算回路には、 $(N-1) M/N$ チップ分位相がずれた拡散符号系列のレプリカが入力されている（第 7 図（C-N）参照）。それぞれの複素乗算回路 5 6 では 1 チップづつ複素乗算され、積算回路 5 7 で乗算値がそれぞれ積算される。そし

てデュエル時間 τ_d 分複素乗算され積算されるとしきい値判定回路 58 でそれぞれの積算毎（それぞれのパス毎）に初期同期がとれているか判定される。

しきい値判定回路 58 で全てのパスが初期同期がとれていないと判定された場合は、その出力により、電圧制御クロック発生回路 48 を制御して拡散系列符号レプリカ生成部 55 から生成される全ての拡散系列符号のレプリカを 1 チップ分位相をずらす。しきい値判定回路 58 の出力はタイミング発生回路 42 にも印加され、またメモリ回路 43 から受信信号の読み出しを再開する。これを初期同期がとれたと判定されるまで続ける。この様に、N 個のパスで並列に計算されるため、この回路においては、 $1/N$ の時間で初期同期が終了する。

しきい値判定回路 58 で、どれか 1 つのパスの初期同期がとれたと判定されたときは、電圧制御クロック発生回路 48 を制御して、その同期がとれたパスの位相を以後の逆拡散に用いる拡散系列符号のレプリカの位相とする。そして、初期同期のためのスライディング動作を終了する。以後は、メモリ回路 43 からの読み出し、拡散系列符号のレプリカの発生もチップ周期 T_c で行う。

初期同期確立のためのスライディングが終了すると、トラッキング動作に入る。トラッキングは、拡散符号系列レプリカ生成部 55 から、初期同期で同期が確立した拡散系列符号のレプリカに対して 1 チップ位相が進んだ符号と、1 チップ位相が遅れた符号も発生するようにして、それらとの相関を検出することにより行われる。初期同期確立後、拡散系列符号のレプリカに対して 1 チップ位相が進んだ符号と、1 チップ位相が遅れた符号とを複素乗算器 56 で受信信号とそれぞれ乗算し、積算回路 57 で 1 シンボル分積算し、位相差を求める。この 2 つの位相差の信号を振幅 2 乗検波回路 51 でそれぞれ振幅 2 乗して伝送情報成分を取り除き加算する。これにより、S ー曲線の特性を利用したトラッキングが可能になる。この振幅 2 乗検波回路 51 出力をループフィルタ 52 で数シンボルにわたって平均化して位相誤差信号を求める。この位相誤差信号を電圧制御クロック発生

回路 4 8 に入力して、位相誤差信号にしたがって 1 チップ分位相をずらすことで
トラッキングを行う。

産業上の利用可能性

以上のように、この発明のスライディング相関検出器は、例えば移動通信においてスペクトル拡散を用いてマルチプルアクセスを行う CDMA 方式における受信部に用いられ、スペクトル逆拡散して狭帯域信号に戻すために、速く初期同期を確立することができる。

請 求 の 範 囲

1. 受信信号を蓄積するメモリ回路と、

受信信号の蓄積速度に比較して十分高速の周波数で前記メモリ回路に記憶した受信信号を読みだすクロック信号を発生するタイミング生成回路と、

拡散系列符号のレプリカを発生する拡散系列符号レプリカ生成部と、

前記読み出された受信信号と前記拡散系列符号レプリカとの乗算を行う乗算回路と、

該乗算回路の出力信号を所定時間にわたって積算する積算回路と、

該積算回路の出力信号が所定のしきい値を越えたか否かを判定するしきい値判定回路と、

前記拡散系列符号レプリカ生成部を制御して前記クロック信号と同一速度で拡散系列符号を発生させるとともに、該しきい値判定回路の判定出力がしきい値以下の場合、拡散系列符号レプリカの位相を変化させるクロック発生回路と、

を具備するスライディング相関検出器。

2. 受信信号を蓄積するメモリ回路と、

受信信号の蓄積速度に比較して十分高速の周波数で前記メモリ回路に記憶した受信信号を読みだすクロック信号を発生するタイミング生成回路と、

複数の異なる位相の拡散系列符号のレプリカを発生する拡散系列符号レプリカ生成部と、

前記読み出された受信信号と前記複数の拡散系列符号レプリカと、それぞれ乗算を行う複数の乗算回路と、

該複数の乗算回路の出力信号を所定時間にわたってそれぞれ積算する複数の積算回路と、

該複数の積算回路の出力信号がそれぞれ所定のしきい値を越えたか否かを判定するしきい値判定回路と、

前記拡散系列符号レプリカ生成部を制御して前記クロック信号と同一速度で拡散系列符号を発生させるとともに、前記複数の積算回路の出力信号がすべてしきい値以下の場合、該しきい値判定回路の出力により、拡散系列符号レプリカの位相を変化させるクロック発生回路と、

を具備するスライディング相関検出器。

1/7

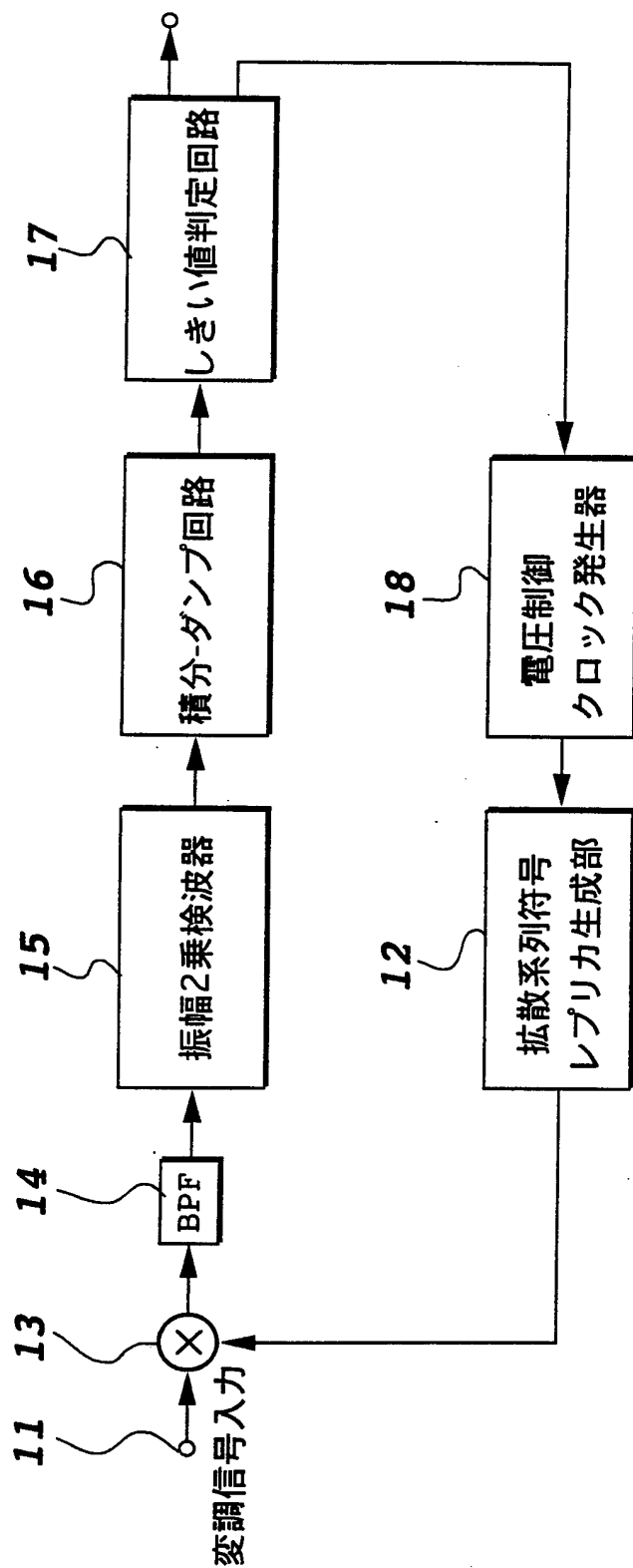


FIG. 1

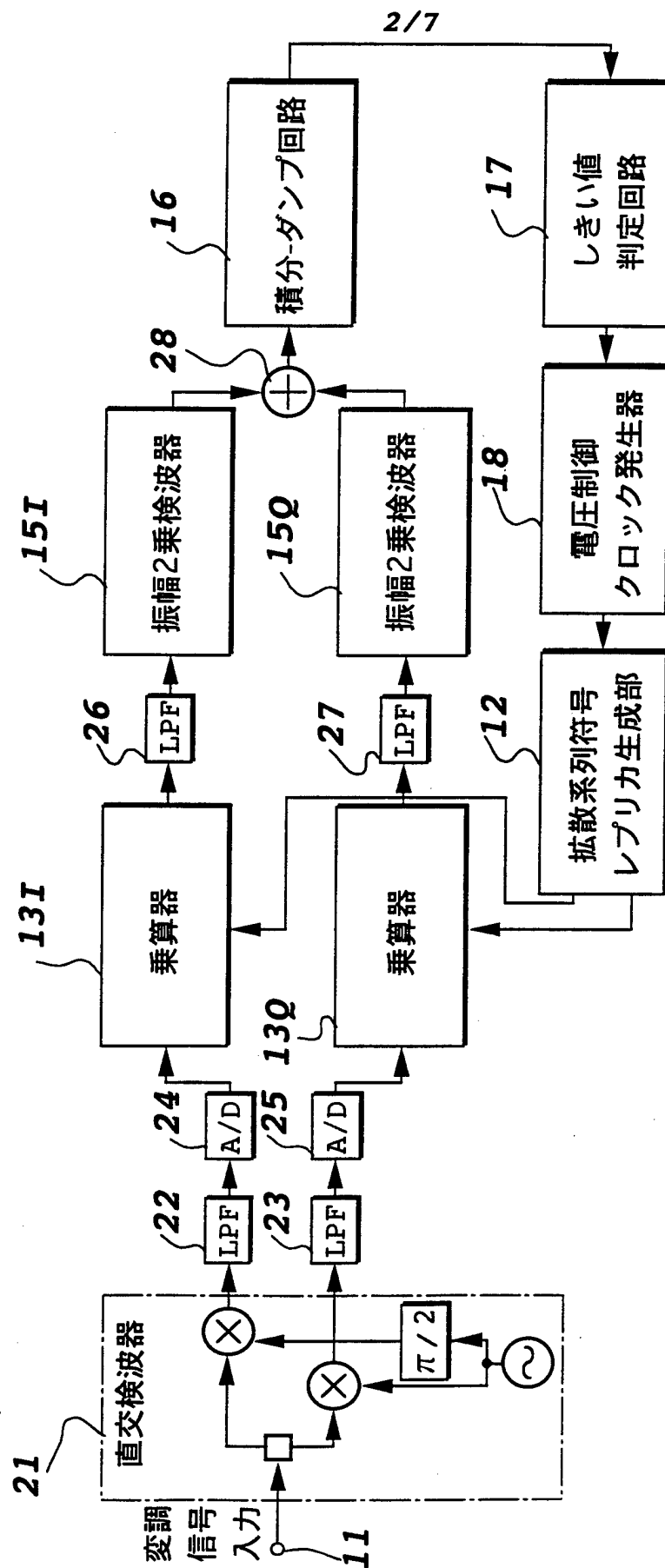


FIG. 2

3/7

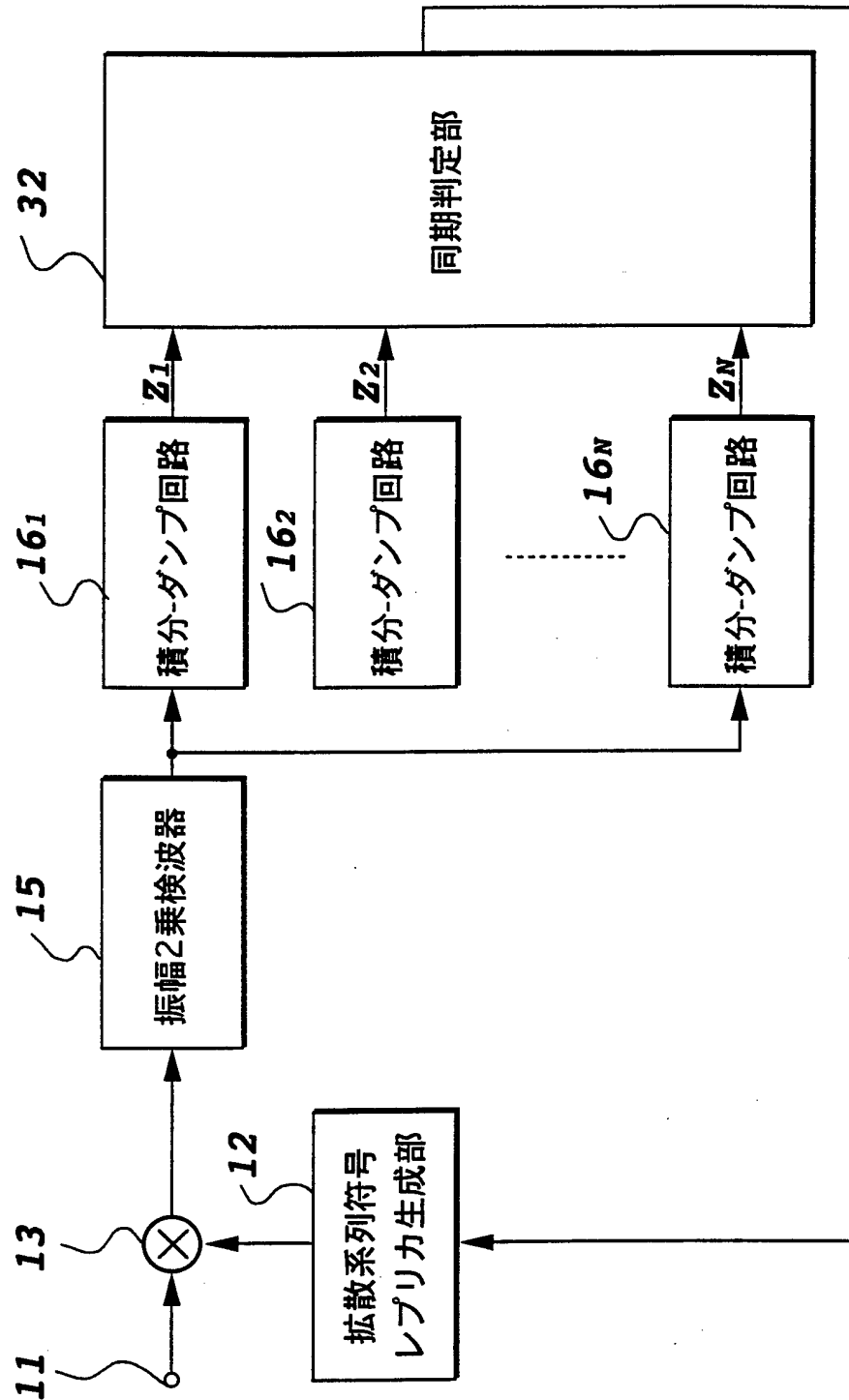


FIG. 3

4/7

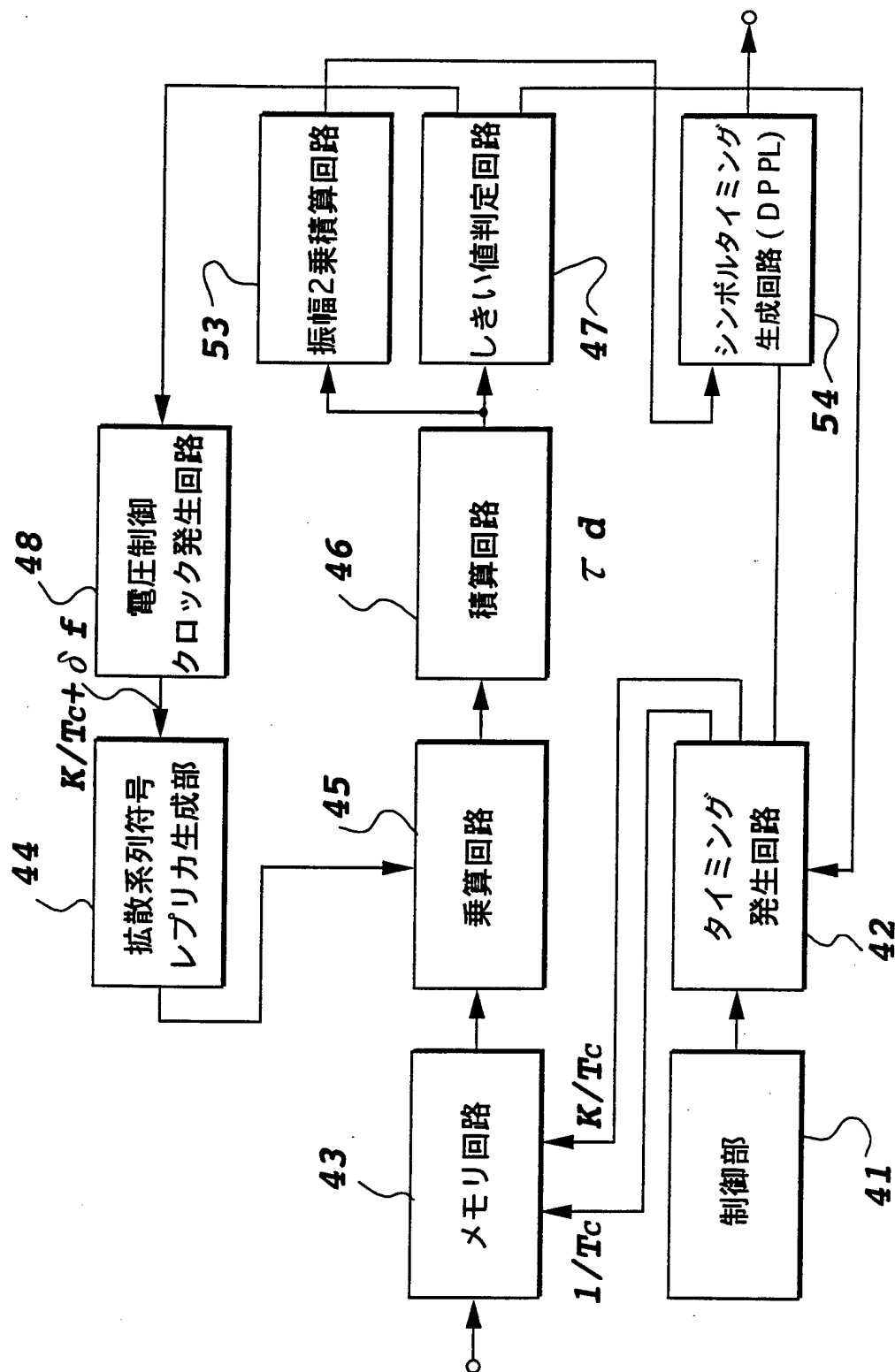


FIG. 4

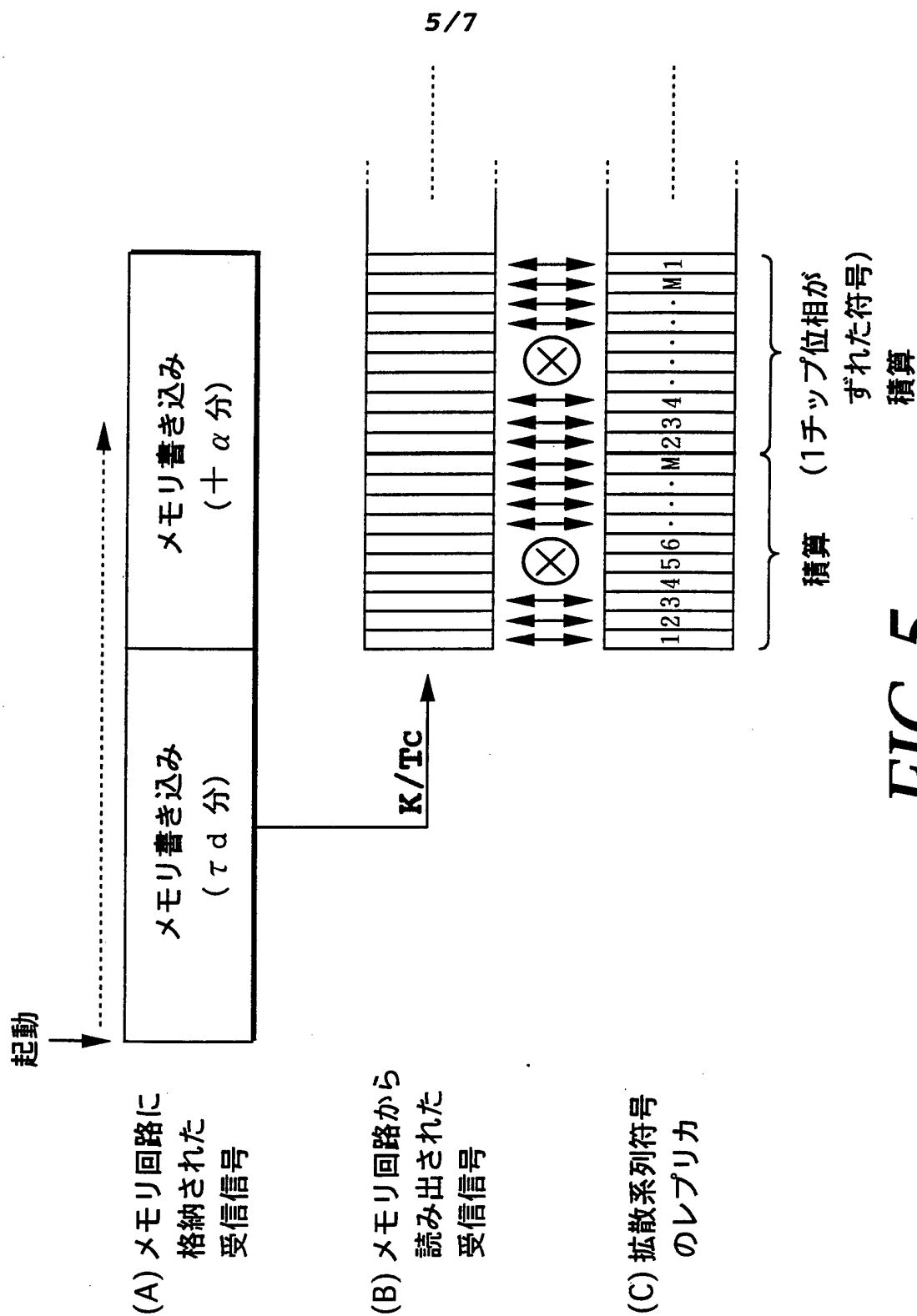


FIG. 5

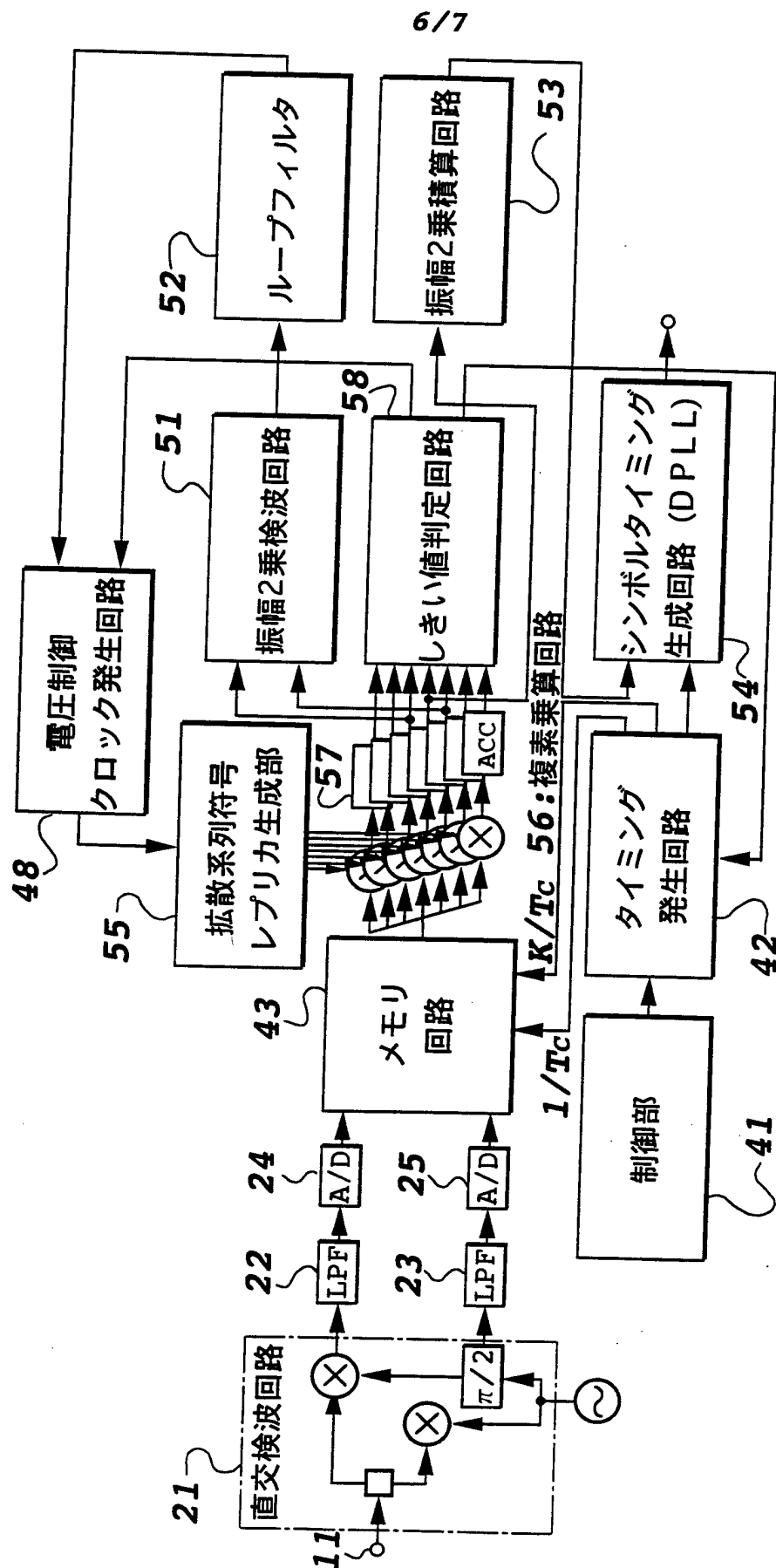


FIG.6

7/7

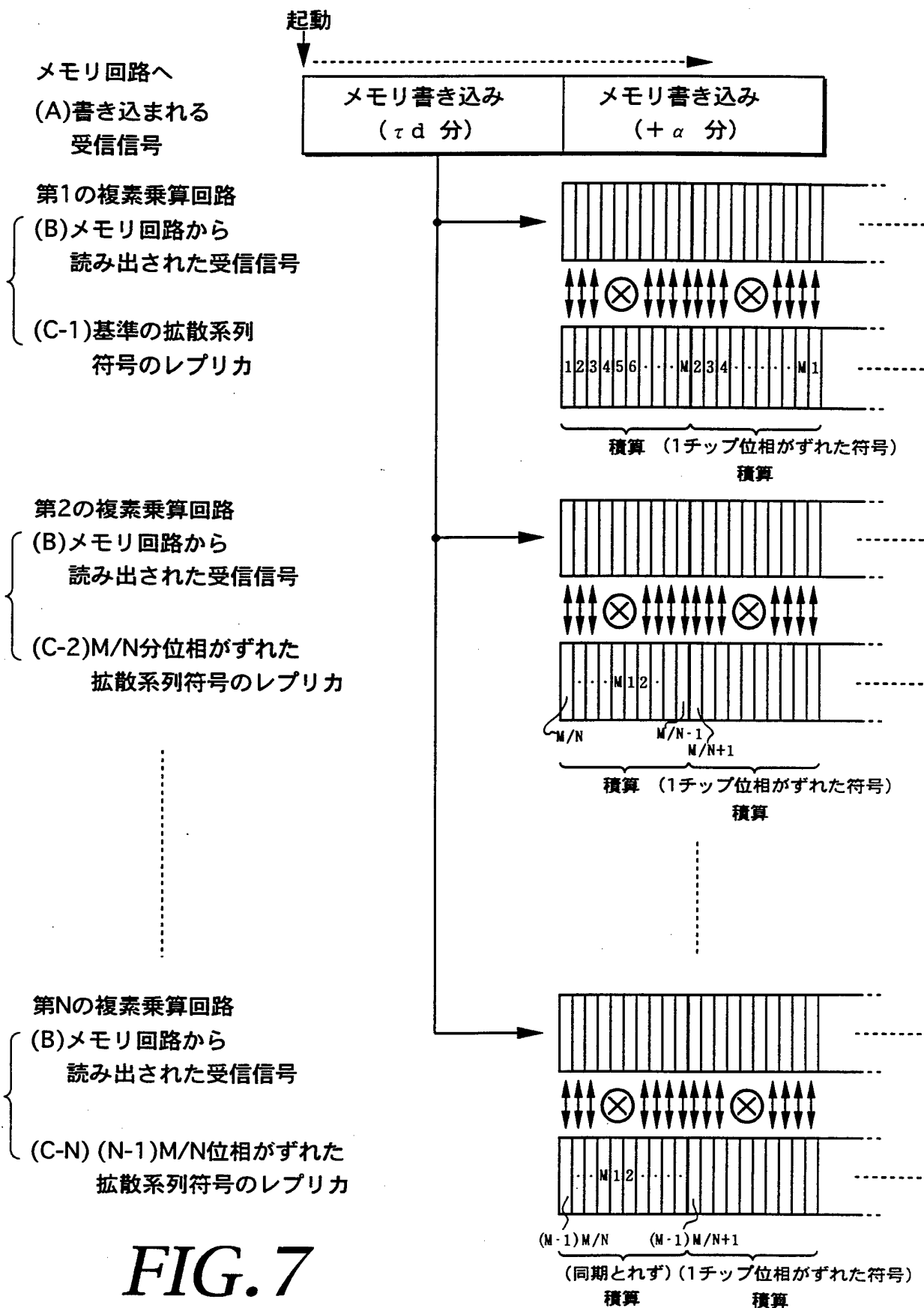


FIG. 7

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP94/01461

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl⁶ H04B1/707

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl⁵ H04J13/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1926 - 1994

Kokai Jitsuyo Shinan Koho 1971 - 1994

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, A, 3-88526 (NEC Engineering Co., Ltd.), April 12, 1991 (12. 04. 91), (Family: none)	1, 2
A	JP, U, 1-124730 (Alpus Electric Co., Ltd.), August 24, 1989 (24. 08. 89), (Family: none)	1, 2

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

November 24, 1994 (24. 11. 94)

Date of mailing of the international search report

December 20, 1994 (20. 12. 94)

Name and mailing address of the ISA/

Japanese Patent Office

Facsimile No.

Authorized officer

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl.⁶ H04B1/707

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl.⁶ H04J13/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1994年

日本国公開実用新案公報 1971-1994年

国際調査で使用了電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP, A, 3-88526 (日本電気エンジニアリング株式会社), 12. 4月. 1991 (12. 04. 91) (ファミリーなし)	1, 2
A	JP, U, 1-124730 (アルプス電気株式会社), 24. 8月. 1989 (24. 08. 89) (ファミリーなし)	1, 2

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般の技術水準を示すもの

「E」 先行文献ではあるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

24. 11. 94

国際調査報告の発送日

20. 12. 94

名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

桂 正 憲 印

5 K 8 9 4 9

電話番号 03-3581-1101 内線 3555